H8S/2643 PC/104 BUS CPU BOARD
LF53
取扱説明書

２００５年9月5日

この度は、H8S/2643搭載PC/104 BUS多機能CPUボードLF53をお買い上げいただき、
誠にありがとうございます。

梱包内容をご確認下さい。

- LF53 × 1枚
- LF－53－CNT × 1枚
- LF-53<->LF-53-CNT接続ケーブル × 1本
- 取扱説明書ディスク × 1枚
- 電源供給用ハウジング × 1個
- 同上コンタクト × 2個
- PC／104用スペーサ × 4個

＊ご注意事項

1)本製品及び本書の内容については、改良のために予告なく変更することがあります。
2)本製品を使用した結果の他への影響については、責任は負いかねますので、ご了承下さい。
3)本製品を安全にご使用いただくために、特に以下の点にご注意下さい。

本製品には一般電子機器用（OA機器・通信機器・計測機器・工作機器等）に製造された半導体部品を使用しておりますので、その誤動作や故障が直接生命を脅かしたり、身体・財産等に危害を及ぼす恐れのある装置（医療機器・交通機器・燃焼制御・安全装置等）に組み込んで使用しないで下さい。

また、半導体製品を使用した製品は、外来ノイズやサージにより誤動作したり故障したりする可能性がありますので、ご使用になる場合は万一誤動作、故障した場合においても生命・身体・財産等が侵害されることのないよう、装置としての安全設計に万全を期されますようお願い申し上げます。

- 本書に記載されているブランド名または製品名は、それらの所有者の商標もしくは登録商標です。
- 本取扱い説明書の閲覧には、Adobe社のAcrobatReaderが必要です。

本製品主要実装デバイス資料掲載URL
ルネサステクノロジCPU
http://www.renesas.com/jpn/products/mpumcu/16bit/h8s/index.html
ルネサステクノロジメモリ
http://www.renesas.com/jpn/products/memory/index.html
エプソンRTC
http://www.epsondevice.com/qd/products/realtime/index1.html
ナショナルセミコンダクタUSB
http://www.national.com/search/search.cgi/main?keywords=USBN9604&GO.x=11&GO.y=4
リアルテックネットワーク
http://www.realtek.com.tw/search/search.aspx?search=RTL8019AS
AMDフラッシュメモリ
http://www.amd.com/us-en/FlashMemory/ProductInformation/0,,37_1447_1629_1472,00.html

logic and firm
L& F

株式会社エル・アンド・エフ

〒175-0083 東京都板橋区徳丸4-2-9
Tel:03-5398-1116 Fax:03-5398-1181
Mail:l-and-f@l-and-f.co.jp
URL:http://www.l-and-f.co.jp

【 目 次 】

1. 概要 ・・・

9. スイッチ／ジャンパの設定 ・・・

1. 概要

LF53 は、ルネサステクノロジー社製 CPU（H8S/2643）を搭載した、PC/104 サイズの CPU ボードです。

2. 特徴

★ CPU に HD64F2643FC25（ルネサステクノロジ社製）を搭載し、多機能且つ高速な動作が可能です。
★ メモリは、電池バックアップ可能な SRAM(1MB)及び FLASH MEMORY(1MB)、EPROM(512Kbyte（オプション）を搭載しております。
★ PC/104BUS コンパチブルのスタッキング可能なコネクタを搭載しており、市販されている多種の PC/104 BUS インターフェースボードとカードゲージ等無しで、接続できます。
★ プログラムは、CPU 内蔵 FLASH または LF53 上 EPROM、FLASH MEMORY の何れからもブート可能です。
★ H8S/2643 内蔵の I/O 信号をコネクタより取出しが可能なため、基板単体においても、PWM 制御／位相計測／アナログ信号のサンプリング等のアプリケーションにも対応可能で、ボード単体でも幅広い応用が可能です。。
★ RS232C ポート（TTL としても使用可能）を５チャネル搭載しています。
★ IrDA（バージョン 1.0 準拠）フォーマット対応ポートを使用した、光通信が可能です。
★ USB（バージョン 1.0 または 1.1 準拠）スレーブポートを 1 チャネル搭載しています。
★ Ethernet（10Base-T）ポートを 1 チャネル搭載しています。

3. 一般仕様

表３－１に LF53、表３－２にコネクタボード（LF-53-CNT）の一般仕様を示します。

表３－１　LF53 の一般仕様

項　　目	内　　容
動作電圧範囲	DC+5V±5%
消費電流	350mA（typ），420mA（max）
動作温度範囲	0℃～+50℃（結露なきこと）
保存温度範範囲	0℃～+70℃（結露なきこと）
外形寸法	90.1**mm**×95.8mm
質量	79g

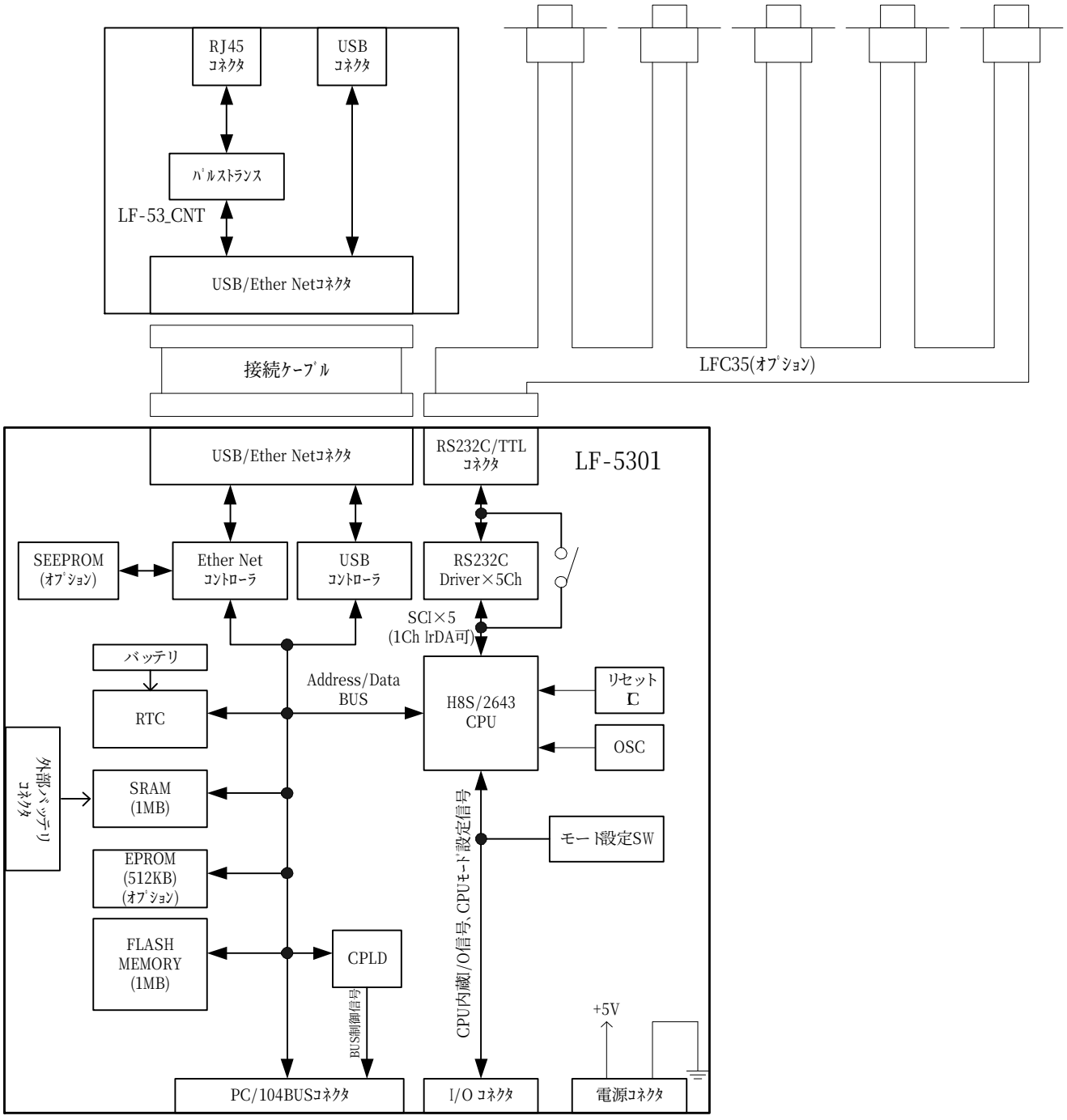
表３－２　コネクタボード（LF-53-CNT）の一般仕様

項　　目	内　　容
動作温度範囲	0℃～+50℃（結露なきこと）
保存温度範範囲	0℃～+70℃（結露なきこと）
外形寸法	30**mm**×65mm
質量	22g

4. ブロック図

LF53 のブロック図を図４－１に示します。

図４－１　LF53 ブロック図



5. 各部の仕様

5－1) CPU

- **品　　名：**HD64F2643FC25
- **メーカー　：ルネサステクノロジ**
- **動作周波数：最大 25MHz（LF53 では 25.8048MHz）**
- **内蔵機能　：**・FLASH ROM（256Kbyte）
  - SRAM（16Kbyte）
  - シリアルポート（SCI）×5（内 IrDA 対応ポート×1）
  - ダイレクトメモリアクセスコントローラ(DMAC)×4
  - データトランスファコントローラ(DTC)
  - ウォッチドックタイマ×1
  - A/D コンバータ（分解能 10 ビット）×16（内 4 チャネルは、8 ビット D/A コンバータと兼用）
  - 16 ビットタイマパルスユニット(TPU)×6
  - プログラマブルパルスジェネレータ(PPG)
  - 8 ビットタイマ(TMR)×4

5－2) CPLD

- **品　　名：**EPM7032STCC44-10×１
- **メーカー　：アルテラ**
- **機　　能：**
  - ① PC/104BUS データ入出力処理
  - ② ボード上 MEMORY、I/O 制御

5－3) SRAM

- **品　　名　：**HM628512BLTT-5×2
- **メーカー　　：ルネサステクノロジ**
- **容　　量　：512Kbyte（１個当り）**
- **バックアップ：外部電池を接続することにより可能**

5－4) FLASH MEMORY

- **品　　名：**AM29F800BT-55EC または同等品×1
- **メーカー　：AMD等**
- **容　　量：1Mbyte**

5－5) EPROM (オプション)

- **品　　名：**HN27C4096 または同等品×１
- **メーカー　：ルネサステクノロジ等**
- **容　　量：512Kbyte**

5－6) RS232Cドライバ

- **品　　名　　：**ADM211EARS または同等品×5
- **メーカー　　：アナログデバイゼス**
- **電気的使用　　：ＥＩＡ／ＴＩＡ－２３２－Ｅに準拠**
- **最高伝送レート：230,400bps(LF53 では、MAX　115,200bps)**

5－7)USBコントローラ

- **品　　名：**USBN9604-28M×１
- **メーカー　：ナショナルセミコンダクタ**
- **電気的使用：**USB1.0 及び USB1.1 に準拠
- **仕様**
  - DMA **端子：使用不可**
  - IRQ **端子：**CPU の!IRQ1 **に接続**
  - BUS **端子：**CPU PD0～PD8(D8～D15)**にパラレル接続**

5－8) Ethernetコントローラ

- **品　　名：**RTL8019AS×１
- **メーカー　：リアルテック**
- **通信方式　：**Ethernet 10Base-T
- **仕様**
  - I/O **ベースアドレス：**H'E00300 **に固定**
  - IRQ　　：CPU の!IRQ2 **に接続（**PC/104 BUS の IRQ3 **と共通）**
  - **制御レジスタ　　：**NE2000 **互換**
  - DATA BUS **幅　　：**8bit

5－9)シリアル EEPROM

- **品　　名：**NM93C46N **または同等品**×１
- **メーカー　：ナショナルセミコンダクタ等**
- **機　　能：**RTL8019AS **に対するコンフィグデータ及び** MAC **アドレスの記憶**
- **データ**
  - I/O **ベースアドレス　　：**H'0300
  - **割込みチャネル　　：**INT2
  - BIOS **拡張** ROM　　：**使用しない**
  - **ネットワークメディアタイプ：**10Base-T
  - **通信モード　　：ハーフデュープレックス**
  - **MACアドレス　　：**00-09-B2(L&F の OUI)-xx-xx-xx（xx-xx-xx **は、ロット番号）**
    （MAC **アドレスは、基板** PC/104 **コネクタ部に貼付してあります）**

5－10) RTC

- **品　　名：**RTC-7301SF×１
- **メーカー　：セイコーエプソン**
- **機　　能：・**30 **秒アジャスト機能、デジタル歩度調整機能**
  ・アラーム／タイマー割込機能
  ・半導体温度センサ内臓

5－11)バッテリー

- **品　　名：**CR2032/1HF×１
- **メーカー　：松下電器**
- **電池容量　：**220mAh

5－12)OSC

・品　　名：HC-49/U-S 25.8048MHz
・メーカー　：三田電波
・周波数　　：25.8048MHz

ボーレート設定例（ローパワーコントロールレジスタ（LPWRCR）の周波数逓倍率を×1に設定）

CLK / bps	25.8048MHz		
	n	N	誤差(%)
300	2	167	0.00
600	2	83	0.00
1200	1	167	0.00
2400	1	83	0.00
4800	0	167	0.00
9600	0	83	0.00
19200	0	41	0.00
38400	0	20	0.00
57600	0	13	0.00
115200	0	6	0.00

6. アドレスマップ

本項では、LF53 上デバイスのアドレス割付け及び、H8S/2643 各端子の割付けについて説明します。

6－1)メモリマップ

LF53 は、LF53 上に実装されている S1 の Bit1 により、CPU(H8S/2643)の動作モードをモード 6 またはモード 4 に設定することが可能です。
モード 4 は、CPU 内臓 ROM 無効モードであるため、CPU は最初に CPU の CS0 空間に割振られたデバイスのプログラムを実行します。
LF53 では、CS0 空間に EPROM／FLASH MEMORY を割当てることができ、どちらのデバイスからもブートを可能とするため、LF53 上に実装されている S1 の Bit4 により EPROM／FLASH MEMORY のアドレスマップを変更することができます。
図６－１～図６－４に S1 の Bit1～Bit4 の各設定時のメモリマップを示します。

図６－１　ＣＰＵ動作モード６（１）

アドレス	デバイス	容　量	空間種類	BUS幅	S1の状態			
					bit1	bit2	bit3	bit4
H'000000 H'03FFFF	CPU内臓 FLASH ROM	256KB	CPU内臓 FLASH ROM	32bit	OFF	OFF	ON	OFF
H'040000 H'0BFFFF	EPROM (HN27C4096)	512KB	CS0	16bit				
H'200000 H'2FFFFF	FLASH MEMORY (AM29F800)	1MB	CS１	16bit				
H'400000 H'4FFFFF	SRAM (HM628512×2)	1MB	CS2	16bit				
H'800000 H'80FFFF	PC/104 BUS I/O	64KB	CS4	8bit				
H'900000 H'9FFFFF	PC/104 BUS MEMORY	1MB						
H'A00000 H'A0000F	RTC (RTC-7301)	16B	CS5	8bit				
H'C00000 H'C00001	USB (USBN9604)	2B	CS6					
H'D00000 H'D00001	RS232Cステータス リード･ライト	2B	CS6					
H'E00300 H'E0031F	Ether Net (RTL8019AS)	32B	CS7					
H'FFB000 H'FFEFBF	CPU内臓RAM	16KB	CPU内臓 RAM	32bit				
H'FFEFC0 H'FFF7FF	外部エリア	－	－	－				
H'FFF800 H'FFFF3F	CPU内臓I/O	－	CPU内臓 I/O	8/16bit				
H'FFFF40 H'FFFF5F	外部エリア	－	－	－				
H'FFFF60 H'FFFFBF	CPU内臓I/O	－	CPU内臓 I/O	8/16bit				
H'FFFFC0 H'FFFFFF	CPU内臓RAM	64B	CPU内臓 RAM	32bit				

図６－２　ＣＰＵ動作モード６（２）

アドレス	デバイス	容　量	空間種類	BUS幅	S1の状態			
					bit1	bit2	bit3	bit4
H'000000 H'03FFFF	CPU内臓 FLASH ROM	256KB	CPU内臓 FLASH ROM	32bit	OFF	OFF	ON	ON
H'040000 H'13FFFF	FLASH MEMORY (AM29F800)	1MB	CS0	16bit				
H'200000 H'27FFFF	EPROM (HN27C4096)	512KB	CS１	16bit				
H'400000 H'4FFFFF	SRAM (HM628512×2)	1MB	CS2	16bit				
H'800000 H'80FFFF	PC/104 BUS I/O	64KB	CS4	8bit				
H'900000 H'9FFFFF	PC/104 BUS MEMORY	1MB						
H'A00000 H'A0000F	RTC (RTC-7301)	16B	CS5	8bit				
H'C00000 H'C00001	USB (USBN9604)	2B	CS6					
H'D00000 H'D00001	RS232Cステータス リード･ライト	2B	CS6					
H'E00300 H'E0031F	Ether Net (RTL8019AS)	32B	CS7					
H'FFB000 H'FFEFBF	CPU内臓RAM	16KB	CPU内臓 RAM	32bit				
H'FFEFC0 H'FFF7FF	外部エリア	－	－	－				
H'FFF800 H'FFFF3F	CPU内臓I/O	－	CPU内臓 I/O	8/16bit				
H'FFFF40 H'FFFF5F	外部エリア	－	－	－				
H'FFFF60 H'FFFFBF	CPU内臓I/O	－	CPU内臓 I/O	8/16bit				
H'FFFFC0 H'FFFFFF	CPU内臓RAM	64B	CPU内臓 RAM	32bit				

図６－３　ＣＰＵ動作モード４（１）

アドレス	デバイス	容　量	空間種類	BUS幅	S1の状態			
					bit1	bit2	bit3	bit4
H'000000 H'07FFFF	EPROM (HN27C4096)	512KB	CS0	16bit	ON	OFF	ON	OFF
H'200000 H'2FFFFF	FLASH MEMORY (AM29F800)	1MB	CS１	16bit				
H'400000 H'4FFFFF	SRAM (HM628512×2)	1MB	CS2	16bit				
H'800000 H'80FFFF	PC/104 BUS I/O	64KB	CS4	8bit				
H'900000 H'9FFFFF	PC/104 BUS MEMORY	1MB						
H'A00000 H'A0000F	RTC (RTC-7301)	16B	CS5	8bit				
H'C00000 H'C00001	USB (USBN9604)	2B	CS6					
H'D00000 H'D00001	RS232Cステータス リード･ライト	2B	CS6					
H'E00300 H'E0031F	Ether Net (RTL8019AS)	32B	CS7					
H'FFB000 H'FFEFBF	CPU内臓RAM	16KB	CPU内臓 RAM	32bit				
H'FFEFC0 H'FFF7FF	外部エリア	－	－	－				
H'FFF800 H'FFFF3F	CPU内臓I/O	－	CPU内臓 I/O	8/16bit				
H'FFFF40 H'FFFF5F	外部エリア	－	－	－				
H'FFFF60 H'FFFFBF	CPU内臓I/O	－	CPU内臓 I/O	8/16bit				
H'FFFFC0 H'FFFFFF	CPU内臓RAM	64B	CPU内臓 RAM	32bit				

図６－４　ＣＰＵ動作モード４（２）

アドレス	デバイス	容　量	空間種類	BUS幅	S1の状態			
					bit1	bit2	bit3	bit4
H'000000 H'1FFFFF	FLASH MEMORY (AM29F800)	1MB	CS0	16bit	ON	OFF	ON	ON
H'200000 H'27FFFF	EPROM (HN27C4096)	512KB	CS１	16bit				
H'400000 H'4FFFFF	SRAM (HM628512×2)	1MB	CS2	16bit				
H'800000 H'80FFFF	PC/104 BUS I/O	64KB	CS4	8bit				
H'900000 H'9FFFFF	PC/104 BUS MEMORY	1MB						
H'A00000 H'A0000F	RTC (RTC-7301)	16B	CS5	8bit				
H'C00000 H'C00001	USB (USBN9604)	2B	CS6					
H'D00000 H'D00001	RS232Cステータス リード･ライト	2B	CS6					
H'E00300 H'E0031F	Ether Net (RTL8019AS)	32B	CS7					
H'FFB000 H'FFEFBF	CPU内臓RAM	16KB	CPU内臓 RAM	32bit				
H'FFEFC0 H'FFF7FF	外部エリア	－	－	－				
H'FFF800 H'FFFF3F	CPU内臓I/O	－	CPU内臓 I/O	8/16bit				
H'FFFF40 H'FFFF5F	外部エリア	－	－	－				
H'FFFF60 H'FFFFBF	CPU内臓I/O	－	CPU内臓 I/O	8/16bit				
H'FFFFC0 H'FFFFFF	CPU内臓RAM	64B	CPU内臓 RAM	32bit				

6－2) CPU内部 I／Oマップ

CPU の各端子は、CPU 内部の設定レジスタにより起動時に表６－１の状態に設定する必要があります。（設定に誤りがあると LF53 が動作しない場合があります。）

表６－１　CPU 内部 I/O 割付

関連ｺﾝﾄﾛｰﾗ名称	端子名	I/O	機　　能
I/O,TPU,PPG, 割込みｺﾝﾄﾛｰﾗ	P17/PO15/TIOCB2/PWM3/TCLKD	I/O	汎用入出力(CN4(34)に接続)
	P16/PO14/TIOCA2/PWM2/!IRQ1	I	!IRQ1 に設定(USBN9604(!INTR)に接続)
	P15/PO13/TIOCB1/TCLKC	I/O	汎用入出力(CN4(32)に接続)
	P14/PO12/TIOCA1/!IRQ0	I	!IRQ0 に設定(RTC-7301(!IRQ)に接続)
	P13/PO11/TIOCD0/TCLKB	I/O	汎用入出力(CN4(30)に接続)
	P12/PO10/TIOCC0/TCLKA	I/O	汎用入出力(CN4(28)に接続)
	P11/PO9/TIOCB0	I/O	汎用入出力(CN4(26)に接続)
	P10/PO8/TIOCA0	I/O	汎用入出力(CN4(24)に接続)
I/O,TPU,PPG,	P27/PO7/TIOCB5	I/O	汎用入出力(CN4(37)に接続)
	P26/PO6/TIOCA5	I/O	汎用入出力(CN4(35)に接続)
	P25/PO5/TIOCB4	I/O	汎用入出力(CN4(33)に接続)
	P24/PO4/TIOCA4	I/O	汎用入出力(CN4(31)に接続)
	P23/PO3/TIOCD3	I/O	汎用入出力(CN4(29)に接続)
	P22/PO2/TIOCC3	I/O	汎用入出力(CN4(27)に接続)
	P21/PO1/TIOCB3	I/O	汎用入出力(CN4(25)に接続)
	P20/PO0/TIOCA3	I/O	汎用入出力(CN4(23)に接続)
I/O,SCI, 割込みｺﾝﾄﾛｰﾗ	P37/TxD4	0	RS232C TxD4(CN7(35)に接続)
	P36/RxD4	I	RS232C RxD4(CN7(33)に接続)
	P35/SCK1/SCK4/SCL0/!IRQ5	I	!IRQ5 に設定(PC/104BUS IRQ5 に接続)
	P34/RxD1/SDA0	I	RS232C RxD1(CN7(13)に接続)
	P33/TxD1/SCL1	0	RS232C TxD1(CN7(15)に接続)
	P32/SCK0/SDA1/!IRQ4	I	!IRQ4 に設定(PC/104BUS IRQ4 に接続)
	P31/RxD0/IrRxD	I	RS232C RxD0(CN7(3)に接続)
	P30/TxD0/IrTxD	0	RS232C TxD0(CN7(5)に接続)
I/O, A/D 変換機	P47/AN7/DA1	I/O	ADC CH7 データ/DAC CH1 データ(CN4(19)に接続)
	P46/AN6/DA0	I/O	ADC CH6 データ/DAC CH0 データ(CN4(17)に接続)
	P45/AN5	I	ADC CH5 データ(CN4(15)に接続)
	P44/AN4	I	ADC CH4 データ/RTC 温度値(CN4(13)に接続)*1
	P43/AN3	I	ADC CH3 データ(CN4(11)に接続)/S1(8)*2
	P42/AN2	I	ADC CH2 データ(CN4(9)に接続)/S1(7)*2
	P41/AN1	I	ADC CH1 データ(CN4(7)に接続)/S1(6)*2
	P40/AN0	I	ADC CH0 データ(CN4(5)に接続)/S1(5)*2
I/O,SCI	P52/SCK2	I	RS232C DCD2(CN7(41)に接続)
	P51/RxD2	I	RS232C RxD2(CN7(43)に接続)
	P50/TxD2	0	RS232C TxD2(CN7(45)に接続)

（続く）

(続き)

関連ｺﾝﾄﾛｰﾗ名称	端子名	I/O	機　　能
I/O,SCI,TMR	P77/TxD3	O	RS232C TxD3(CN7(25)に接続)
	PD76/RxD3	I	RS232C RxD3(CN7(23)に接続)
	P75/TMO3/SCK3	I	RS232C CTS2(CN7(46)に接続)
	P74/TMO2/!MRES	I	RS232C DSR2(CN7(42)に接続)
	P73/TMO1/!CS7	O	!CS7 に設定
	P72/TMO0/!CS6/SYNCI	O	!CS6 に設定
	P71/TMRI23/TMCI23/!CS5	O	!CS5 に設定
	P70/TMRI01/TMCI01/!CS4	O	!CS4 に設定
I/O,DMAC	P86	I	RS232C CI2(CN7(48)に接続)
	P85/!DACK1	O	!DACK1 に設定(PC/104BUS !DACK2 に接続)
	P84/!DACK0	O	!DACK0 に設定(PC/104BUS !DACK1 に接続)
	P83/!TEND1	O	! TEND1 に設定(PC/104BUS TC に接続)*3
	P82/!TEND0	O	! TEND0 に設定(PC/104BUS TC に接続)*3
	P81/!DREQ1	I	!DREQ1 に設定(PC/104BUS DREQ2 に接続)
	P80/!DREQ0	I	!DREQ0 に設定(PC/104BUS DREQ1 に接続)
I/O, A/D 変換機	P97/AN15/DA3	I/O	ADC CH15 ﾃﾞｰﾀ/DAC CH3 ﾃﾞｰﾀ(CN4(20)に接続)
	P96/AN14/DA2	I/O	ADC CH14 ﾃﾞｰﾀ/DAC CH2 ﾃﾞｰﾀ(CN4(18)に接続)
	P95/AN13	I	ADC CH13 ﾃﾞｰﾀ(CN4(16)に接続)
	P94/AN12	I	ADC CH12 ﾃﾞｰﾀ(CN4(14)に接続)
	P93/AN11	I	ADC CH11 ﾃﾞｰﾀ(CN4(12)に接続)
	P92/AN10	I	ADC CH10 ﾃﾞｰﾀ(CN4(10)に接続)
	P91/AN9	I	ADC CH9 ﾃﾞｰﾀ(CN4(8)に接続)
	P90/AN8	I	ADC CH8 ﾃﾞｰﾀ(CN4(6)に接続)
I/O, ﾊﾞｽｺﾝﾄﾛｰﾗ	PA7/A23	O	RS232C RTS2(CN7(44)に接続)
	PA6/A22	O	RS232C DTR2(CN7(47)に接続)
	PA5/A21	O	LED1 制御 (0:点灯 1:消灯)
	PA4/A20	O	A20 に設定
	PA3/A19	O	A19 に設定
	PA2/A18	O	A18 に設定
	PA1/A17	O	A17 に設定
	PA0/A16	O	A16 に設定
I/O,ﾊﾞｽｺﾝﾄﾛｰﾗ	PB7/A15～PB0/A8	O	A15～A8 に設定
—	PC7/A7～PB0/A0	O	A7～A0
—	PD7/D15～PD0/D8	I/O	D15～D8
I/O,ﾊﾞｽｺﾝﾄﾛｰﾗ	PE7/D7～PE0/D0	I/O	D7～D0 に設定
I/O,ﾊﾞｽｺﾝﾄﾛｰﾗ, 割込みｺﾝﾄﾛｰﾗ	PF7/φ	O	φ出力に設定(PC/104BUS SYSCLK に接続)
	PF6/!AS/!LCAS	O	!AS に設定
	PF5/!RD	O	!RD
	PF4/!HWR	O	!HWR
	PF3/!LWR/!ADTRG/!IRQ3	O	!LWR に設定
	PF2/!LCAS/!WAIT/!BREQO	I	!WAIT に設定(PC/104BUS IOCHRDY に接続)
	PF1/!BACK/BUZZ	I/O	汎用入出力(CN4(36)に接続)
	PF0/!BREQ/!IRQ2	I	!IRQ2 に設定(PC/104BUS IRQ3 及び RTL8019AS の INT2 に接続)

(続く)

(続き)

関連ｺﾝﾄﾛｰﾗ名称	端子名	I/O	機　　能
I/O, 割込みｺﾝﾄﾛｰﾗ	PG4/!CS0	O	!CS0 に設定
	PG3/!CS1	O	!CS1 に設定
	PG2/!CS2	O	!CS2 に設定
	PG1/!CS3/!OE/!IRQ7	I	!IRQ7 に設定(PC/104BUS IRQ7 に接続)
	PG0/!CAS/!IRQ6	I	!IRQ6 に設定(PC/104BUS IRQ6 に接続)

＊ 各ポートの機能設定・ディレクション設定方法に関しては、CPU のデータシートをご参照下さい。

＊ コントローラ名称は、ルネサステクノロジ社発行の H8S/2643 シリーズハードウェアマニュアルに記載されている名称です。

*1 ADC CH4 ﾃﾞｰﾀの入力元の選択は、JP4 により RTC 温度値または CN4(13)に設定されます。

*2 S1 は 8bit ディップスイッチで、CPU 内臓 ADC CH0～CH3 未使用時に S1 の bit5～bit8 が読み出し可能です。

＊ 表中負論理の信号は信号名の先頭に！がつけられています。

6－3)外部割込み接続

CPU の各割込み端子と外部デバイスとの接続関係を、表６－２に示します。

表6－2　外部割込み割付

割込み要因	接続端子名	接　続　先
!IRQ7	PG1/!CS3/!OE/!IRQ7	PC/104 BUS の IRQ7*1
!IRQ6	PG0/!CAS/!IRQ6	PC/104 BUS の IRQ6*1
!IRQ5	P35/SCK1/SCK4/SCL0/!IRQ5	PC/104 BUS の IRQ5*1
!IRQ4	P32/SCK0/SDA1/!IRQ4	PC/104 BUS の IRQ4*1
!IRQ2	PF0/!BREQ/!IRQ2	PC/104 BUS の IRQ3 又は RTL8019AS の INT2*1
!IRQ1	P16/PO14/TIOCA2/PWM2/!IRQ1	USB ｲﾝﾀｰﾌｪｰｽﾄﾞﾗｲﾊﾞ (USBN9604-28M)の割込み端子
!IRQ0	P14/PO12/TIOCA1/!IRQ0	RTC(RTC-7301SF)の割込み端子
NMI	NMI	PC/104 BUS の!IOCHCK

*1　接続先 IRQ7～IRQ3 は、ISR レジスタで立ち上がりエッジ検出に設定する必要があります。

＊　表中負論理の信号は信号名の先頭に！がつけられています。

6－4)外部DMA接続

CPU 内臓の DMA 制御端子は、PC/104 BUS の DMA 制御端子と接続されています。
接続関係を表６－３に示します。

表6－3　外部DMA割付

DMAチャネル番号	接続端子名	接　続　先
0	P80/!DREQ0	PC/104 BUS の DREQ1*1
	P84/!DACK0	PC/104 BUS の!DACK1
1	P81/!DREQ1	PC/104 BUS の DREQ2*1I
	P85/!DACK1	PC/104 BUS の!DACK2

*1　入力信号レベルは、論理反転されて CPU に入力されます。

＊　表中負論理の信号は信号名の先頭に！がつけられています。

6－5)外部DMAアクノリッジ接続

PC/104 BUS の TC 端子は LF53 上の CPLD に接続されており、CPU 内臓の DMA アクノリッジ制御端子 P83/!TEND1 または P82/!TEND0 が LOW となった時に HI にアサートされます。

6－6)シリアルステータスレジスタビットマップ

LF53 のシリアルポートは全て EIA-574 準拠の制御信号が接続でき、各信号は CPU 内臓 I/0 ポート及び制御信号用外部 I/0 により制御します。
表６－4 にシリアル制御制御信号用の外部 I/0 ビットマップを示します。

表６－4　シリアル制御制御信号用の外部 I/O ビットマップ

アドレス	デバイス名	I/0	CPU 端子名	アサイン	接続先
H'D00000	74VHC574	0	PD0/D8	RTS0	CN7(4)
			PD1/D9	DTR0	CN7(7)
			PD2/D10	RTS1	CN7(14)
			PD3/D11	DTR1	CN7(17)
			PD4/D12	RTS3	CN7(24)
			PD5/D13	DTR3	CN7(27)
			PD6/D14	RTS4	CN7(34)
			PD7/D15	DTR4	CN7(37)
H'D00000	74VHC541	I	PD0/D8	DSR0	CN7(2)
			PD1/D9	CTS0	CN7(6)
			PD2/D10	DCD0	CN7(1)
			PD3/D11	CI0	CN7(8)
			PD4/D12	DSR1	CN7(12)
			PD5/D13	CTS1	CN7(16)
			PD6/D14	DCD1	CN7(11)
			PD7/D15	CI1	CN7(18)
H'D00001	74VHC541	I	PD0/D8	DSR3	CN7(22)
			PD1/D9	CTS3	CN7(26)
			PD2/D10	DCD3	CN7(21)
			PD3/D11	CI3	CN7(28)
			PD4/D12	DSR4	CN7(32)
			PD5/D13	CTS4	CN7(36)
			PD6/D14	DCD4	CN7(31)
			PD7/D15	CI4	CN7(38)

7. 接続仕様

本項では、LF53 内主要部のデバイス＜－＞デバイス間およびデバイス＜－＞コネクタ間の電気的接続仕様につき説明します。

7－1)シリアル通信インターフェース部

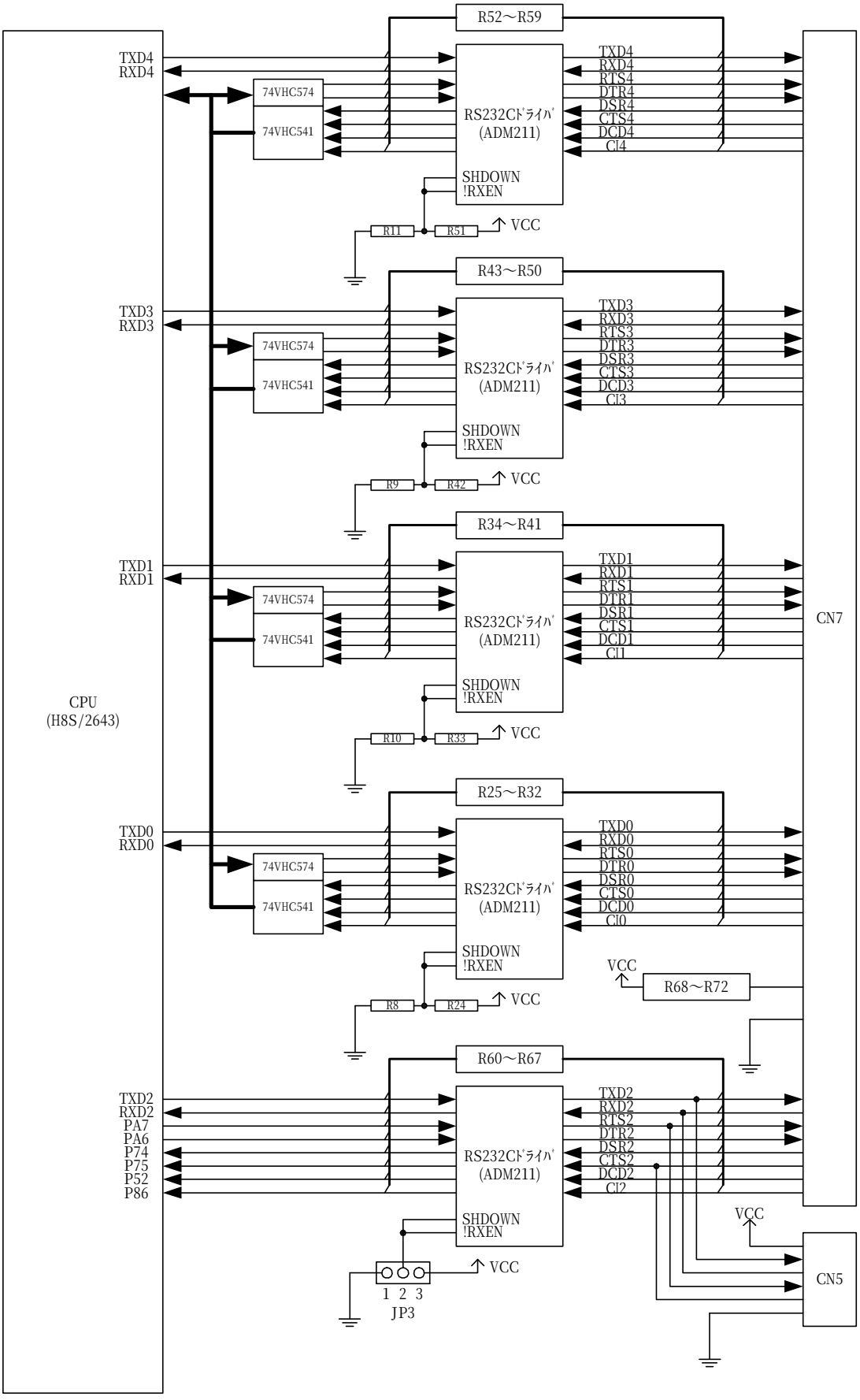
LF53 上には、シリアル通信インターフェースとして、LF53 上 CPU の内臓シリアルインターフェース 5 チャンネル（SCI0～SCI4）及び内臓 I/O ポート／外部 I/O ポートより、RS232C または TTL レベルで外部と接続することが可能です。（接続仕様は、図７－１をご参照下さい。）
RS232C レベル出力か TTL レベル出力かは各チャネル毎に設定可能で、各設定の詳細は表７－１をご参照下さい。

表７－１　シリアル制御制御信号用の外部 I/O ビットマップ

ﾁｬﾈﾙ	設定個所	RS232C 設定状態	TTL 設定状態	信号名	ﾁｬﾈﾙ	設定個所	RS232C 設定状態	TTL 設定状態	信号名
CH0	R8	実装	未実装	－	CH3	R9	実装	未実装	－
	R24	開放	短絡			R42	開放	短絡	
	R25	開放	短絡	TxD0		R43	開放	短絡	TxD3
	R26	開放	短絡	RTS0		R44	開放	短絡	RTS3
	R27	開放	短絡	DTR0		R45	開放	短絡	DTR3
	R28	開放	短絡	RxD0		R46	開放	短絡	RxD3
	R29	開放	短絡	DSR0		R47	開放	短絡	DSR3
	R30	開放	短絡	CTS0		R48	開放	短絡	CTS3
	R31	開放	短絡	DCD0		R49	開放	短絡	DCD3
	R32	開放	短絡	CI0		R50	開放	短絡	CI3
CH1	R10	実装	未実装	－	CH4	R11	実装	未実装	－
	R33	開放	短絡			R51	開放	短絡	
	R34	開放	短絡	TxD1		R52	開放	短絡	TxD4
	R35	開放	短絡	RTS1		R53	開放	短絡	RTS4
	R36	開放	短絡	DTR1		R54	開放	短絡	DTR4
	R37	開放	短絡	RxD1		R55	開放	短絡	RxD4
	R38	開放	短絡	DSR1		R56	開放	短絡	DSR4
	R39	開放	短絡	CTS1		R57	開放	短絡	CTS4
	R40	開放	短絡	DCD1		R58	開放	短絡	DCD4
	R41	開放	短絡	CI1		R59	開放	短絡	CI4
CH2	JP3	1-2 短絡	2-3 短絡	－					
	R60	開放	短絡	TxD2					
	R61	開放	短絡	RTS2					
	R62	開放	短絡	DTR2					
	R63	開放	短絡	RxD2					
	R64	開放	短絡	DSR2					
	R65	開放	短絡	CTS2					
	R66	開放	短絡	DCD2					
	R67	開放	短絡	CI2					

＊　出荷時は、全てのポートが RS232C 信号レベルに設定されています。
＊　TTL 設定時には必ず信号名－の部分を TTL レベル側に設定して下さい。

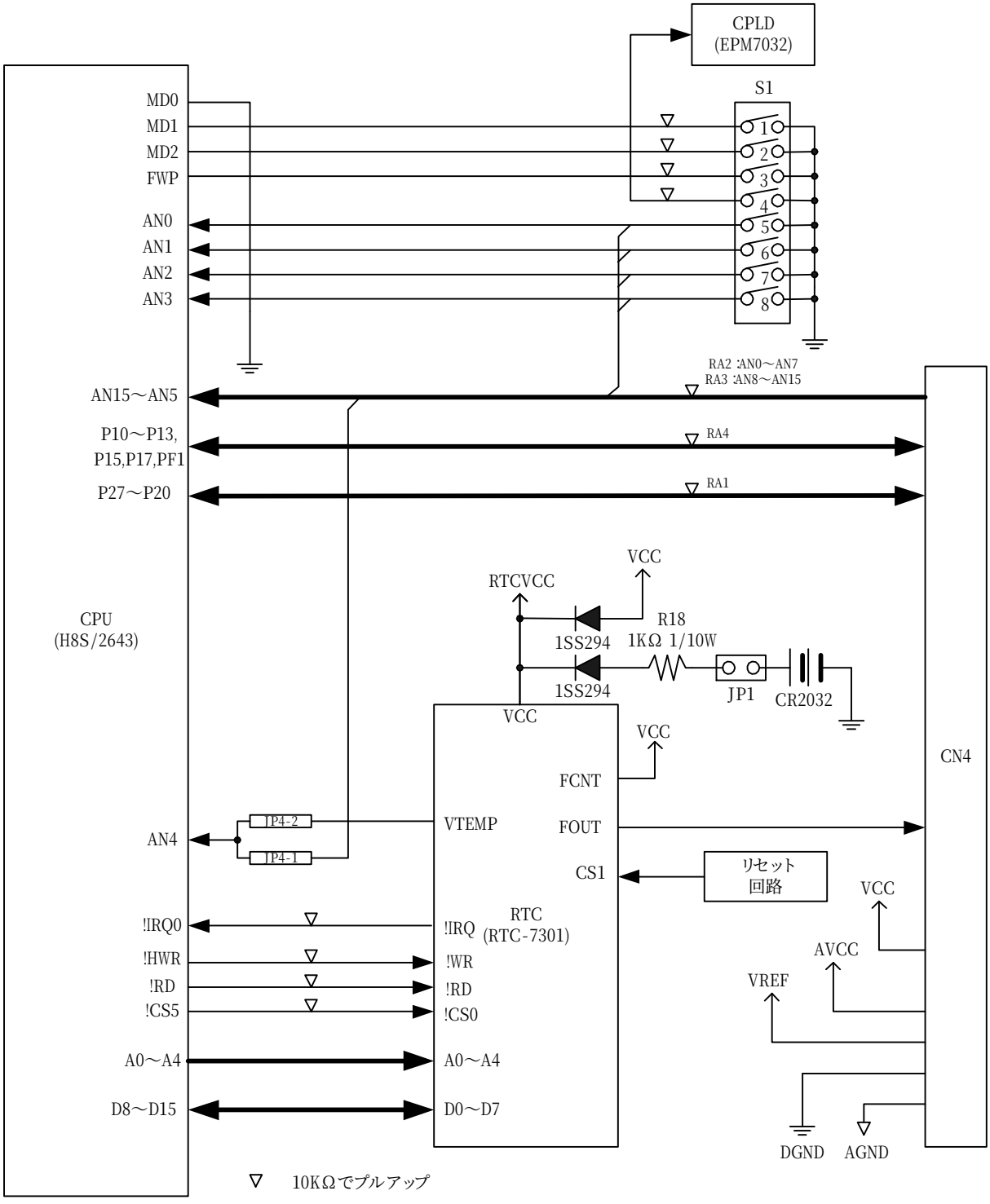
図7－1　シリアル通信インターフェース部接続仕様



7－2) RTC・I／O・S1部

LF53 上の RTC は、時計機能の他クロック出力機能、温度を電圧として出力する機能を有しています。LF53 では、RTC の温度電圧出力を CPU または I/0 コネクタ（CN4）に接続することができ、CPU の持つ I/0 信号も I/0 コネクタ（CN4）より取り出すことができる他、CPU の動作モード・メモリアサイン・ソフトウェアでの動作設定を行う S1 により、LF53 の持つ様々な機能を有効に活用することができます。図7－2に RTC・I/0・S1 部の接続図を示します。

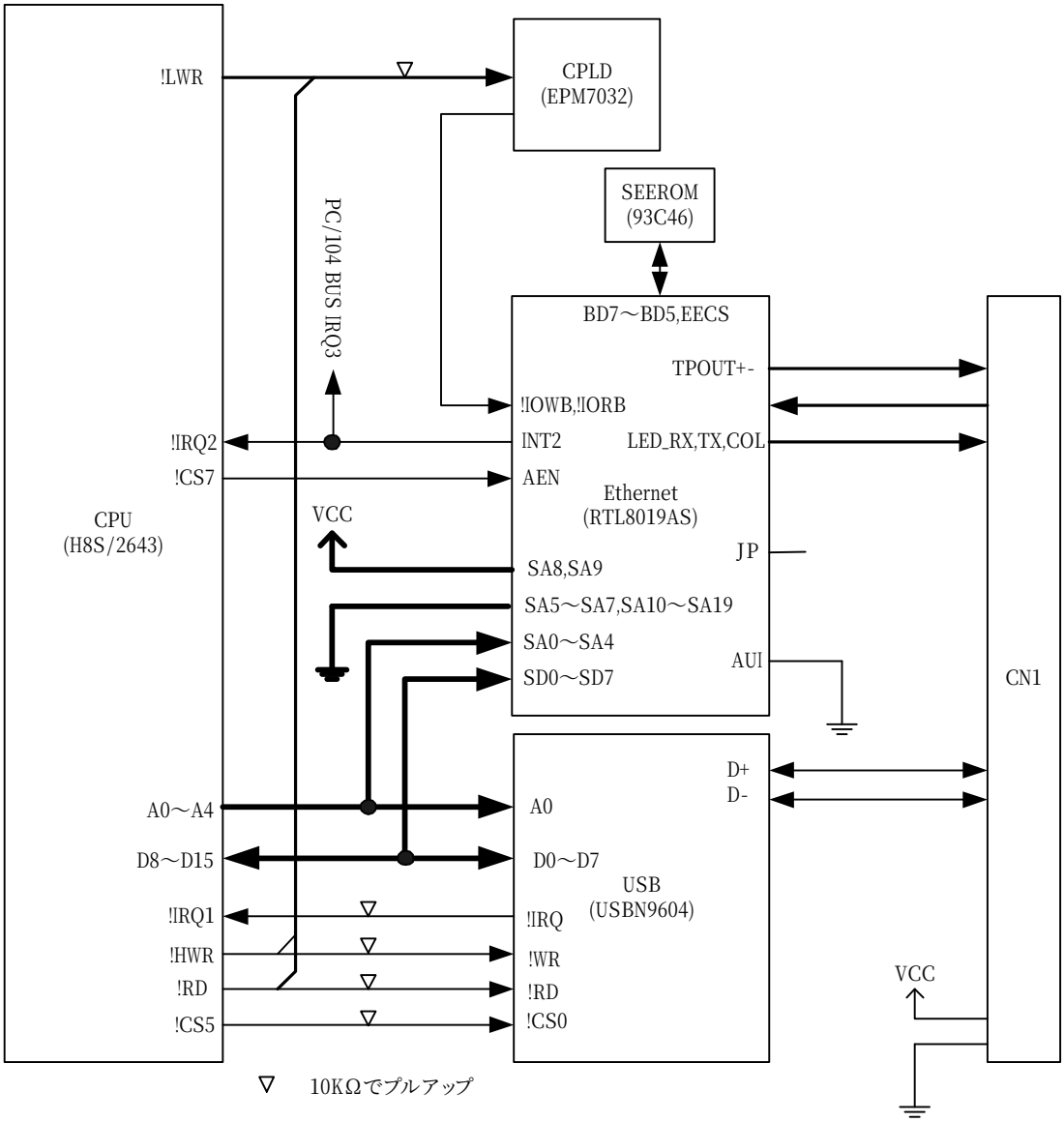
図7－2　RTC・I／O・S1部接続仕様



7－3) Ethernet･USB接続部

図7－3にEthernet･USBコントローラ部の接続図を示します。

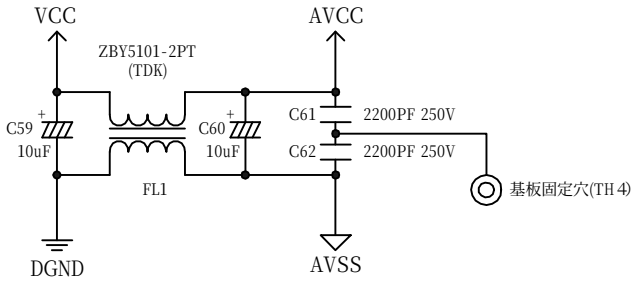
図7－3　Ｅｔｈｅｒｎｅｔ・ＵＳＢコントローラ部接続仕様



7－4)アナログ電源部

LF53 上 CPU のアナログ電源端子（AVCC(109)及び AVSS(127)）に供給されるアナログ電源は、デジタル電源ノイズの影響を抑えるため、図7－4の回路となっております。

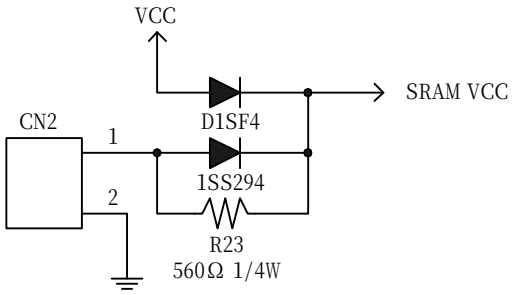
図7－4　アナログ電源部接続仕様



7－5)外部バッテリー入力部

SRAM のバックアップを可能とするため、LF53 上には外部バッテリーの入力コネクタが実装されています。図7－5にバッテリー入力部の接続図を示します。

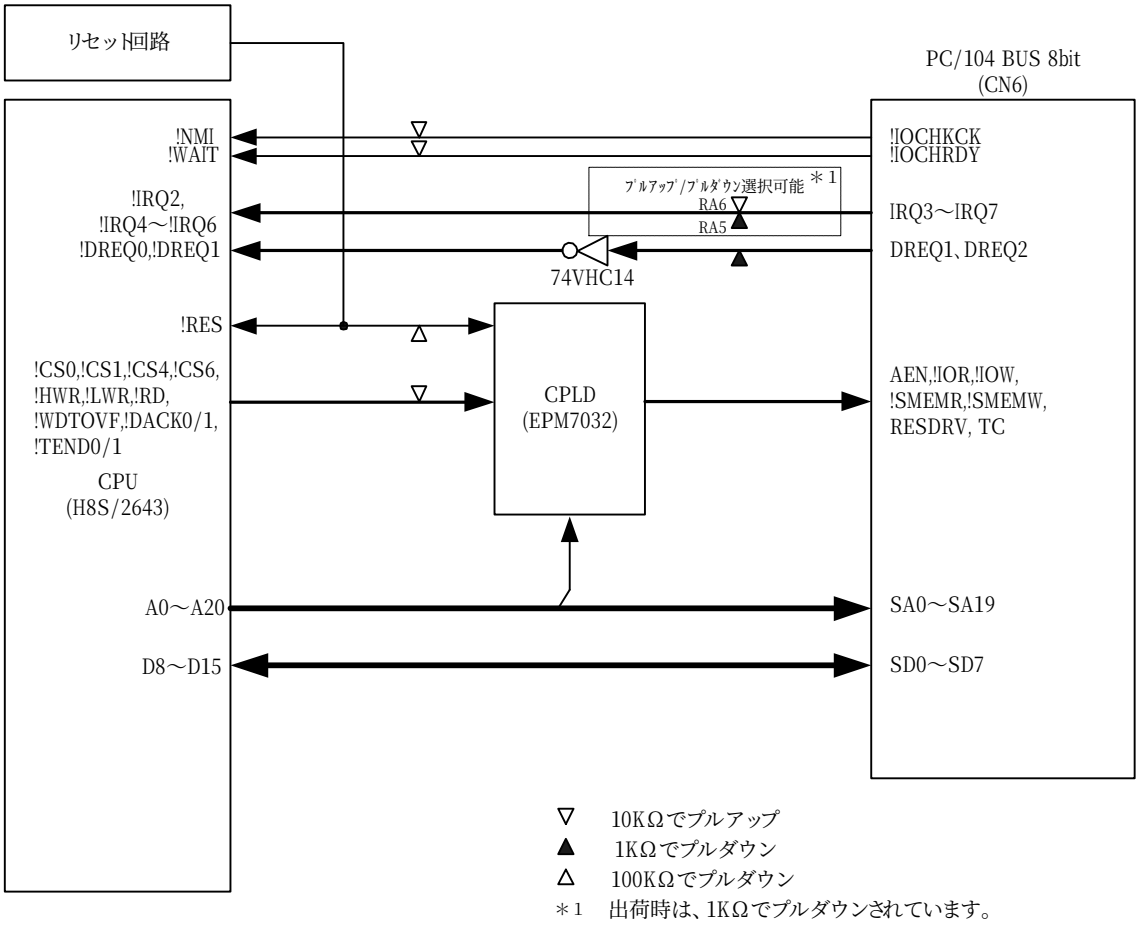
図7－5　バッテリー入力部接続仕様



7－6) PC／104 BUSインターフェース

PC/104 BUS インターフェース部は、図7－6の接続となっております。

図7－6　PC／104　BUSインターフェース部接続仕様



＊リセット信号は、約500ms の間アサートされます。

8. コネクタ

本項では、LF53 に実装されている各コネクタについて説明します。
各コネクタの表中、負論理の信号は信号名の先頭に！がつけられています。
また、入出力方向はLF53 より見た方向です。

8－1) Ethernet･USBコネクタボード接続コネクタ (CN1)

本コネクタは、LF53 に実装されているUSB またはEthernet デバイスの信号を外部と接続するために使用するEthernet･USB コネクタボードからのケーブルを接続します。
表８－１にEthernet･USB コネクタボード接続コネクタの機能／ピンアサインを示します。

表８－１　Ｅｔｈｅｒｎｅｔ・ＵＳＢコネクタボード接続コネクタ
使用コネクタ：XG4C-2031（オムロン）または同等品

端子番号	信号名	入出力	機　　能	端子番号	信号名	入出力	機　　能
1	TPO+	出力	10Base-T 送信＋	2	GND	－	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ
3	TPO-	出力	10Base-T 送信－	4	GND	－	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ
5	TPI+	入力	10Base-T 受信＋	6	GND	－	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ
7	TPI-	入力	10Base-T 受信－	8	GND	－	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ
9	!LED_RX	入出力	LAN 受信 LED	10	GND	－	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ
11	!LED_COL	入出力	LAN ｺﾘｼﾞｮﾝ LED	12	GND	－	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ
13	!LED_TX	入出力	LAN 送信 LED	14	GND	－	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ
15	D－	入出力	USB 送受信－	16	GND	－	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ
17	D＋	入出力	USB 送受信＋	18	GND	－	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ
19	VCC	出力	DC+5V	20	VCC	出力	DC+5V

＊　本コネクタの接続仕様は、本説明書図７－３をご参照下さい。

8－2)外部バッテリー接続コネクタ (CN2)

本コネクタは、LF53 上SRAM をバッテリーでバックアップを行なう場合に、外部バッテリーと接続します。
接続するバッテリーは、3V 以上の電圧を出力可能な１次電池またはNi-Cd 電池を接続して下さい。
尚　１次電池を接続する場合はR11 を必ず外して下さい。
また、Ni-Cd 電池を接続し、トリクル充電を行なう場合は電池の仕様に合った抵抗を実装して下さい。
表８－２に外部バッテリー接続コネクタの機能／ピンアサインを示します。

表８－２　電源接続コネクタ
使用コネクタ：IL-G-2P-S3T2-SA（ＪＡＥ）

端子番号	信　号　名	入出力	信号レベル	機　　能
1	VBATT	入出力	DC+3V～5V	バッテリー電源
2	GND	－	－	シグナルグランド

＊　本コネクタの接続仕様は、本説明書図７－５をご参照下さい。

8－3)電源接続コネクタ(CN3)

本コネクタは、LF53 に供給する電源装置と接続します。
本コネクタは、標準で 2P のコネクタが実装されておりますが、電流を多くとりたい場合等には 4P のコネクタを実装することも可能です。（4P を実装した場合には、外部バッテリ接続コネクタ(CN2)は実装できません。）
表８－３（１）（２）に電源接続コネクタの機能／ピンアサインを示します。

表８－３（１） 電源接続コネクタ（２Ｐの場合）
使用コネクタ：IL-G-2P-S3L2-SA（ＪＡＥ）

端子番号	信 号 名	入出力	信号レベル	機 能
1	VCC	入力	DC+5V±5%	回路電源
2	GND	－	－	シグナルグランド

表８－３（２） 電源接続コネクタ（４Ｐの場合）
使用コネクタ：IL-G-4P-S3L2-SA（ＪＡＥ）

端子番号	信 号 名	入出力	信号レベル	機 能
1	VCC	入力	DC+5V±5%	回路電源
2	VCC	入力	DC+5V±5%	回路電源
3	GND	－	－	シグナルグランド
4	GND	－	－	シグナルグランド

8－4) I／O接続コネクタ (CN4)

本コネクタは、LF53 上 CPU 内蔵 I/O 信号及び RTC のカウンタ出力端子が接続されています。
表８－４に I/O 接続コネクタの機能／ピンアサインを示します。

表８－４　Ｉ／Ｏ接続コネクタ
使用コネクタ：XG4C-4031（オムロン）または同等品

端子番号	信号名	入出力	機　　能	端子番号	信号名	入出力	機　　能
1	AVCC	出力	ｱﾅﾛｸﾞ DC+5V 電源	2	AGND	－	ｱﾅﾛｸﾞｸﾞﾗﾝﾄﾞ
3	VERF_I	入力	ADC 基準電源	4	AGND	－	ｱﾅﾛｸﾞｸﾞﾗﾝﾄﾞ
5	P40/AN0	入力	TTL/ｱﾅﾛｸﾞ入力ﾎﾟｰﾄ	6	P90/AN8	入力	TTL/ｱﾅﾛｸﾞ入力ﾎﾟｰﾄ
7	P41/AN1	入力	TTL/ｱﾅﾛｸﾞ入力ﾎﾟｰﾄ	8	P91/AN9	入力	TTL/ｱﾅﾛｸﾞ入力ﾎﾟｰﾄ
9	P42/AN2	入力	TTL/ｱﾅﾛｸﾞ入力ﾎﾟｰﾄ	10	P92/AN10	入力	TTL/ｱﾅﾛｸﾞ入力ﾎﾟｰﾄ
11	P43/AN3	入力	TTL/ｱﾅﾛｸﾞ入力ﾎﾟｰﾄ	12	P93/AN11	入力	TTL/ｱﾅﾛｸﾞ入力ﾎﾟｰﾄ
13	P44/AN4	入力	TTL/ｱﾅﾛｸﾞ入力ﾎﾟｰﾄ	14	P94/AN12	入力	TTL/ｱﾅﾛｸﾞ入力ﾎﾟｰﾄ
15	P45/AN5	入力	TTL/ｱﾅﾛｸﾞ入力ﾎﾟｰﾄ	16	P95/AN13	入力	TTL/ｱﾅﾛｸﾞ入力ﾎﾟｰﾄ
17	P46/AN6/DA0	入出力	TTL/ｱﾅﾛｸﾞ入出力ﾎﾟｰﾄ	18	P96/AN14/DA2	入出力	TTL/ｱﾅﾛｸﾞ入出力ﾎﾟｰﾄ
19	P47/AN7/DA1	入出力	TTL/ｱﾅﾛｸﾞ入出力ﾎﾟｰﾄ	20	P97/AN15/DA3	入出力	TTL/ｱﾅﾛｸﾞ入出力ﾎﾟｰﾄ
21	VCC	出力	DC+5V 電源	22	VCC	出力	DC+5V 電源
23	P20	入出力	TTL 入出力ﾎﾟｰﾄ	24	P10	入出力	TTL 入出力ﾎﾟｰﾄ
25	P21	入出力	TTL 入出力ﾎﾟｰﾄ	26	P11	入出力	TTL 入出力ﾎﾟｰﾄ
27	P22	入出力	TTL 入出力ﾎﾟｰﾄ	28	P12	入出力	TTL 入出力ﾎﾟｰﾄ
29	P23	入出力	TTL 入出力ﾎﾟｰﾄ	30	P13	入出力	TTL 入出力ﾎﾟｰﾄ
31	P24	入出力	TTL 入出力ﾎﾟｰﾄ	32	P15	入出力	TTL 入出力ﾎﾟｰﾄ
33	P25	入出力	TTL 入出力ﾎﾟｰﾄ	34	P17	入出力	TTL 入出力ﾎﾟｰﾄ
35	P26	入出力	TTL 入出力ﾎﾟｰﾄ	36	PF1	入出力	TTL 入出力ﾎﾟｰﾄ
37	P27	入出力	TTL 入出力ﾎﾟｰﾄ	38	FOUT	出力	RTC ｶｳﾝﾀ出力(TTL)
39	GND	－	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ	40	GND	－	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ

＊　本コネクタの接続仕様は、本説明書図７－２をご参照下さい。

8－5)シリアルインターフェース接続コネクタ1 (CN7)

本コネクタは、CPU 内臓 SCI0～SCI5 と CPU 内臓 I/O ポート及びシリアルステータスレジスタ制御信号が RS232C または TTL レベルの信号で接続されます。
（RS232C／TTL レベルの切替え方法は、本説明書表７－１をご参照下さい。
本コネクタに接続するフラットケーブルを、10Pin 毎に分割すると D_SUB9P とストレートに接続することができ、フラットケーブルに圧接用 D_SUB コネクタを簡単に取り付けることができます。
表８－５にシリアル通信接続コネクタ１の機能／ピンアサインを示します。

表８－５　シリアル通信接続コネクタ１
使用コネクタ：XG4C-5031（オムロン）または同等品

端子番号	信号名	入出力	機　　能	端子番号	信号名	入出力	機　　能
1	!DCD0	入力	ｷｬﾘｱ検出信号 0	2	!DSR0	入力	ﾃﾞｰﾀｾｯﾄﾚﾃﾞｨ信号 0
3	RxD0	入力	受信ﾃﾞｰﾀ 0	4	!RTS0	出力	送信要求信号 0
5	TxD0	出力	送信ﾃﾞｰﾀ 0	6	!CTS0	入力	送信可信号 0
7	!DTR0	出力	ﾃﾞｰﾀ端末ﾚﾃﾞｨ信号 0	8	!CI0	入力	被呼表示 0
9	GND	－	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ	10	VCC	出力	DC+5V(R68 短絡時)
11	!DCD1	入力	ｷｬﾘｱ検出信号 1	12	!DSR1	入力	ﾃﾞｰﾀｾｯﾄﾚﾃﾞｨ信号 1
13	RxD1	入力	受信ﾃﾞｰﾀ 1	14	!RTS1	出力	送信要求信号 1
15	TxD1	出力	送信ﾃﾞｰﾀ 1	16	!CTS1	入力	送信可信号 1
17	!DTR1	出力	ﾃﾞｰﾀ端末ﾚﾃﾞｨ信号 1	18	!CI1	入力	被呼表示 1
19	GND	－	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ	20	VCC	出力	DC+5V(R69 短絡時)
21	!DCD3	入力	ｷｬﾘｱ検出信号 3	22	!DSR3	入力	ﾃﾞｰﾀｾｯﾄﾚﾃﾞｨ信号 3
23	RxD3	入力	受信ﾃﾞｰﾀ 3	24	!RTS3	出力	送信要求信号 3
25	TxD3	出力	送信ﾃﾞｰﾀ 3	26	!CTS3	入力	送信可信号 3
27	!DTR3	出力	ﾃﾞｰﾀ端末ﾚﾃﾞｨ信号 3	28	!CI3	入力	被呼表示 3
29	GND	－	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ	30	VCC	出力	DC+5V(R70 短絡時)
31	!DCD4	入力	ｷｬﾘｱ検出信号 4	32	!DSR4	入力	ﾃﾞｰﾀｾｯﾄﾚﾃﾞｨ信号 4
33	RxD4	入力	受信ﾃﾞｰﾀ 4	34	!RTS4	出力	送信要求信号 4
35	TxD4	出力	送信ﾃﾞｰﾀ 4	36	!CTS4	入力	送信可信号 4
37	!DTR4	出力	ﾃﾞｰﾀ端末ﾚﾃﾞｨ信号 4	38	!CI4	入力	被呼表示 4
39	GND	－	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ	40	VCC	出力	DC+5V(R71 短絡時)
41	!DCD2	入力	ｷｬﾘｱ検出信号 2	42	!DSR2	入力	ﾃﾞｰﾀｾｯﾄﾚﾃﾞｨ信号 2
43	RxD2*1	入力	受信ﾃﾞｰﾀ 2	44	!RTS2*1	出力	送信要求信号 2
45	TxD2*1	出力	送信ﾃﾞｰﾀ 2	46	!CTS2*1	入力	送信可信号 2
47	!DTR2	出力	ﾃﾞｰﾀ端末ﾚﾃﾞｨ信号 2	48	!CI2	入力	被呼表示 2
49	GND	－	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ	50	VCC	出力	DC+5V(R72 短絡時)

＊　本コネクタの信号レベルは VCC/GND を除き、TTL または EIA/TIA-232E です。
＊　本コネクタの接続仕様は、本説明書図７－１をご参照下さい。
*1　CN5 と並列に接続されています。

8－6)シリアルインターフェース接続コネクタ2 (CN5)

本コネクタは、CPU 内臓 SCI2 及び CPU 内臓 I/O ポートと RS232C または TTL レベルの信号で接続されています。

尚　本コネクタに接続されている CPU 内臓 SCI2 は、CPU 内臓 FLASH ROM への書込みが可能なポートで、CPU 内臓 FLASH ROM への書込みは、本コネクタより行います。

表８－６にシリアル通信接続コネクタ２の機能／ピンアサインを示します。

表８－６　シリアル通信接続コネクタ２

使用コネクタ：IL-G-6P-S3T2-SA（ＪＡＥ）

端子番号	信　号　名	入出力	信号レベル	機　　能
1	TxD2	出力	EIA/TIA-232E または TTL	送信ﾃﾞｰﾀ 2
2	!RTS2	出力	EIA/TIA-232E または TTL	送信要求信号 2
3	RxD2	入力	EIA/TIA-232E または TTL	受信ﾃﾞｰﾀ 2
4	!CTS2	入力	EIA/TIA-232E または TTL	送信可信号 2
5	GND	－	－	シグナルグランド
6	VCC	出力	DC+5V	DC+5V 電源

＊　本コネクタの接続仕様は、本説明書図７－１をご参照下さい。

8－7) PC／104 BUS接続コネクタ1 (CN6)

本コネクタは、PC/104 BUS 用スレーブ基板(8bit 品)をスタッキングするためのコネクタです。
表８－７に PC/104 BUS 接続コネクタの機能／ピンアサインを示します。

表８－７　ＰＣ／１０４　ＢＵＳ接続コネクタ
使用コネクタ：LFCN64S-T7D

端子番号	信号名	入出力	機　　能	端子番号	信号名	入出力	機　　能
A1	!IOCHCK	入力	ﾉﾝﾏｽｶﾌﾞﾙ割込信号	B1	GND	－	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ
A2	SD7	入出力	ﾃﾞｰﾀ 7	B2	RESDRV	出力	ﾘｾｯﾄ
A3	SD6	入出力	ﾃﾞｰﾀ 6	B3	VCC	－	DC+5V
A4	SD5	入出力	ﾃﾞｰﾀ 5	B4	IRQ9	－	未接続
A5	SD4	入出力	ﾃﾞｰﾀ 4	B5	-5V	－	未接続
A6	SD3	入出力	ﾃﾞｰﾀ 3	B6	DREQ2	入力	DMA ﾘｸｴｽﾄ 2
A7	SD2	入出力	ﾃﾞｰﾀ 2	B7	-12V	－	未接続
A8	SD1	入出力	ﾃﾞｰﾀ 1	B8	!ENDXFR	－	未接続
A9	SD0	入出力	ﾃﾞｰﾀ 0	B9	+12V	－	未接続
A10	!IOCHRDY	入力	CPU ｳｪｲﾄﾘｸｴｽﾄ	B10	(KEY)	－	－
A11	AEN	出力	ｱﾄﾞﾚｽｲﾈｰﾌﾞﾙ	B11	!SMEMW	出力	ﾒﾓﾘﾗｲﾄ(8bit)
A12	SA19	出力	ｱﾄﾞﾚｽ 19	B12	!SMEMR	出力	ﾒﾓﾘﾘｰﾄﾞ(8bit)
A13	SA18	出力	ｱﾄﾞﾚｽ 18	B13	!IOWR	出力	I/O ﾗｲﾄ
A14	SA17	出力	ｱﾄﾞﾚｽ 17	B14	!IORD	出力	I/O ﾘｰﾄﾞ
A15	SA16	出力	ｱﾄﾞﾚｽ 16	B15	!DACK3	出力	(PULL UP)
A16	SA15	出力	ｱﾄﾞﾚｽ 15	B16	DREQ3	－	未接続
A17	SA14	出力	ｱﾄﾞﾚｽ 14	B17	!DACK1	出力	DMA ｱｸﾉﾘｯｼﾞ 1
A18	SA13	出力	ｱﾄﾞﾚｽ 13	B18	DREQ1	入力	DMA ﾘｸｴｽﾄ 1
A19	SA12	出力	ｱﾄﾞﾚｽ 12	B19	!REFSH	出力	(PULL UP)
A20	SA11	出力	ｱﾄﾞﾚｽ 11	B20	SYSCLK	出力	ｼｽﾃﾑｸﾛｯｸ
A21	SA10	出力	ｱﾄﾞﾚｽ 10	B21	IRQ7	入力	割込信号 7
A22	SA9	出力	ｱﾄﾞﾚｽ 9	B22	IRQ6	入力	割込信号 6
A23	SA8	出力	ｱﾄﾞﾚｽ 8	B23	IRQ5	入力	割込信号 5
A24	SA7	出力	ｱﾄﾞﾚｽ 7	B24	IRQ4	入力	割込信号 4
A25	SA6	出力	ｱﾄﾞﾚｽ 6	B25	IRQ3	入力	割込信号 3
A26	SA5	出力	ｱﾄﾞﾚｽ 5	B26	!DACK2	出力	DMA ｱｸﾉﾘｯｼﾞ 2
A27	SA4	出力	ｱﾄﾞﾚｽ 4	B27	TC	出力	DMA 転送終了通知
A28	SA3	出力	ｱﾄﾞﾚｽ 3	B28	BALE	出力	(PULL UP)
A29	SA2	出力	ｱﾄﾞﾚｽ 2	B29	VCC	－	DC+5V
A30	SA1	出力	ｱﾄﾞﾚｽ 1	B30	OSC	－	未接続
A31	SA0	出力	ｱﾄﾞﾚｽ 0	B31	GND	－	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ
A32	GND	－	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ	B32	GND	－	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ

＊　本コネクタの信号レベルは VCC/GND を除き、TTL レベルです。
＊　機能欄の(PULL UP)は、当該端子が DC+5V でプルアップされていることを示します。
＊　本コネクタの接続仕様は、本説明書図７－６をご参照下さい。

8－8) CPLD用JTAG接続コネクタ (CN8)

本コネクタは、LF53 上 CPLD の JTAG 端子に接続されており、CPLD 専用デバッグ・プログラム書込みケーブルと接続します。（本コネクタは実装されておりません）
表８－８に CPLD 用 JTAG 接続コネクタの機能／ピンアサインを示します。

表８－８　ＣＰＬＤ用ＪＴＡＧ接続コネクタ

端子番号	信　号　名	入出力	信号レベル	機　　能
1	TCK	入力	TTL	データ同期信号
2	GND	－	－	シグナルグランド
3	TDO	出力	TTL	シリアルデータ出力信号
4	VCC	出力	DC+5V	電源
5	TMS	入力	TTL	テストモード選択信号
6	NC	－	－	未接続
7	NC	－	－	未接続
8	NC	－	－	未接続
9	TDI	入力	TTL	シリアルデータ入力信号
１０	GND	－	－	シグナルグランド

9. スイッチ／ジャンパの設定

本項では、LF53 上のスイッチ及びジャンパの設定につき記載いたします。

9－1) S1

S1 は、8 ビットのディップスイッチで、Bit1～3 は CPU の動作モード及びプログラム書込みモードの設定、Bit4 は EPROM 及び FLASH MEMORY のメモリロケーションの設定、Bit5～8 は CPU 内蔵の I/O ポート（P40/AN0～P43/AN3）に接続されており、同ポートを外部で使用しない場合に、アプリケーションの設定用に使用できます。
S1(Bit1～3)の設定内容を表９－１、S1(Bit4)の設定内容を表９－２、S1（Bit5～8）のビットロケーションを表９－３に示します。

表９－１　ＣＰＵ動作モード設定（Ｓ１(Bit1～3)）

機　　能	Bit 状態			設定内容
	1(MD1)	2(MD2)	3(FWE)	
CPU 動作モード設定	OFF	OFF	ON	内蔵 ROM 有効通常動作ﾓｰﾄﾞ(MCU ﾓｰﾄﾞ 6)
	ON	OFF	ON	内蔵 ROM 無効通常動作ﾓｰﾄﾞ(MCU ﾓｰﾄﾞ 4)
	OFF	OFF	OFF	ﾕｰｻﾞｰﾌﾟﾛｸﾞﾗﾑﾓｰﾄﾞ
	OFF	ON	OFF	ﾌﾞｰﾄﾌﾟﾛｸﾞﾗﾑﾓｰﾄﾞ

＊　　が出荷時の設定です。

・オンボードプログラムの設定
S1 を、ブートプログラムモードに設定し、電源を投入するとＣＰＵはブートプログラムモードに入り、SCI2 からのプログラミング待ち状態となります。
尚　CPU のオンボードプログラム方法に関しては本仕様書１０．ＣＰＵに対するプログラム書込の項をご参照下さい。

表９－２　CPU 内蔵 FLASH ROM/外部 EPROM/外部 FLASH MEMORY メモリマップ設定（Ｓ１(Bit4)）

CPU 動作モード	アドレス	名　　称	S1 Bit4	メモリ容量	機　能
MCU Mode6	000000～03FFFF	CPU 内蔵 FLASH ROM	OFF	256Kbyte	ﾌﾞｰﾄ領域
	040000～04BFFF	EPROM		512Kbyte	読出専用領域
	200000～2FFFFF	FLASH MEMORY		1Mbyte	不揮発ﾃﾞｰﾀ領域
	000000～03FFFF	CPU 内蔵 FLASH ROM	ON	256Kbyte	ﾌﾞｰﾄ領域
	040000～13FFFF	FLASH MEMORY		1Mbyte	不揮発ﾃﾞｰﾀ領域
	200000～27FFFF	EPROM		512Kbyte	読出専用領域
MCU Mode4	000000～07FFFF	EPROM	OFF	512Kbyte	ﾌﾞｰﾄ領域
	200000～2FFFFF	FLASH MEMORY		1Mbyte	不揮発ﾃﾞｰﾀ領域
	000000～0FFFFF	FLASH MEMORY	ON	1Mbyte	ﾌﾞｰﾄ領域
	200000～27FFFF	EPROM		512Kbyte	読出専用領域

＊　出荷時は、OFF に設定されています。

表９－３　Ｓ１(Bit5～8)ビットマップ

S1	接　　続　　先
Bit5	CPU 内蔵 I/O ポート P40/AN0
Bit6	CPU 内蔵 I/O ポート P41/AN1
Bit7	CPU 内蔵 I/O ポート P42/AN2
Bit8	CPU 内蔵 I/O ポート P43/AN3

＊　出荷時の設定は全 Bit OFF です。

9－2) JP1

本ジャンパは 2 ピンのジャンパピンで部品面に実装されており、LF53 上 RTC にバッテリーを接続する場合に短絡します。（出荷時は短絡してあります）

9－3) JP2_1、JP2_2

JP2_1,JP2_2 は、LF53 上 CPU アナログリファレンス電圧端子（VREF(110)）への接続先を設定する半田面に設けられている半田短絡型のジャンパです。
表９－４に JP2_1,JP2_2 の設定内容を示します。

表９－４　アナログリファレンス電圧接続先設定

ＪＰ１の状態	内　　容
JP2_1 短絡	基板上 AVCC に接続
JP2_2 短絡	CN4(3)に接続

＊　　が出荷時の設定です。

9－4) JP3

本ジャンパは 3 ピンのジャンパピンで部品面に実装されており、CPU 内蔵 SCI2 に接続されている RS232C ドライバ(U20)のイネーブル／ディセーブルを設定します。
本ジャンパは、CPU 内蔵 SCI2 及び CPU 内蔵 I/O のシリアル制御信号に割振られた信号を CN7 に接続する電気的インターフェース（RS232C か TTL）の選択を行うために使用します。
（設定に関する詳細については、本説明書の７．７－１）の項をご参照下さい。）
表９－５に JP3 の設定内容を示します。

表９－５　RS232C ドライバ(U20)のイネーブル／ディセーブル設定

ＪＰ３の状態	内　　容
1-2 短絡	RS232C ドライバ(U20)イネーブル
2-3 短絡	RS232C ドライバ(U20)ディセーブル

＊　　が出荷時の設定です。
注意１　JP3 は必ずどちらかを短絡して下さい。

9－5) JP4_1、JP4_2

JP4_1,JP4_2 は、LF53 上 CPU アナログ入力端子（P44/AN4 (115)）への接続先を設定する半田面に設けられている半田短絡型のジャンパです。
表９－６に JP4_1,JP4_2 の設定内容を示します。

表９－６　Ｐ４４／ＡＮ４接続先設定

ＪＰ１の状態	内　　容
JP4_1 短絡	CN4(13)に接続
JP4_2 短絡	RTC 温度値出力端子に接続

＊　　が出荷時の設定です。

9－6) R8～R11、R24～R67

R8～R11 は RS232C ドライバ(U16～U19)のイネーブル／ディセーブルを設定し、R24～R67 は CPU 内蔵 SCI0～SCI4 と CPU 内蔵のシリアル制御信号に割振られた I/O 信号及び外部シリアルステータスレジスタ信号の CN7 に接続する電気的インターフェース（RS232C か TTL）の選択を行うために使用します。

（設定に関する詳細については、本説明書の７．７－１）の項をご参照下さい。）

9－7) R68～R72

R68～R72 は CN7 の VCC 出力用端子に VCC を供給する場合に短絡する、半田面にある半田短絡型のジャンパです。

（短絡場所と CN7 の VCC 端子との関係は、８．８－５）の項をご参照下さい。）

9－8) PS1

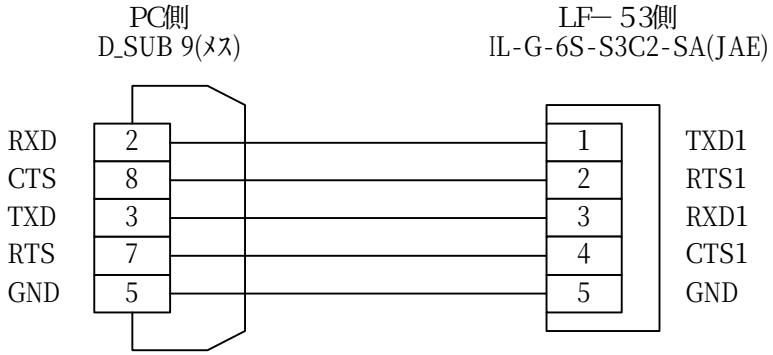
PS1 はマニュアルリセットを行うためのモーメンタリ型スイッチで、本スイッチを押下すると、LF53 上デバイス及び PC/104 BUS のリセット信号がアサートされます。

10. CPUに対するプログラム書込

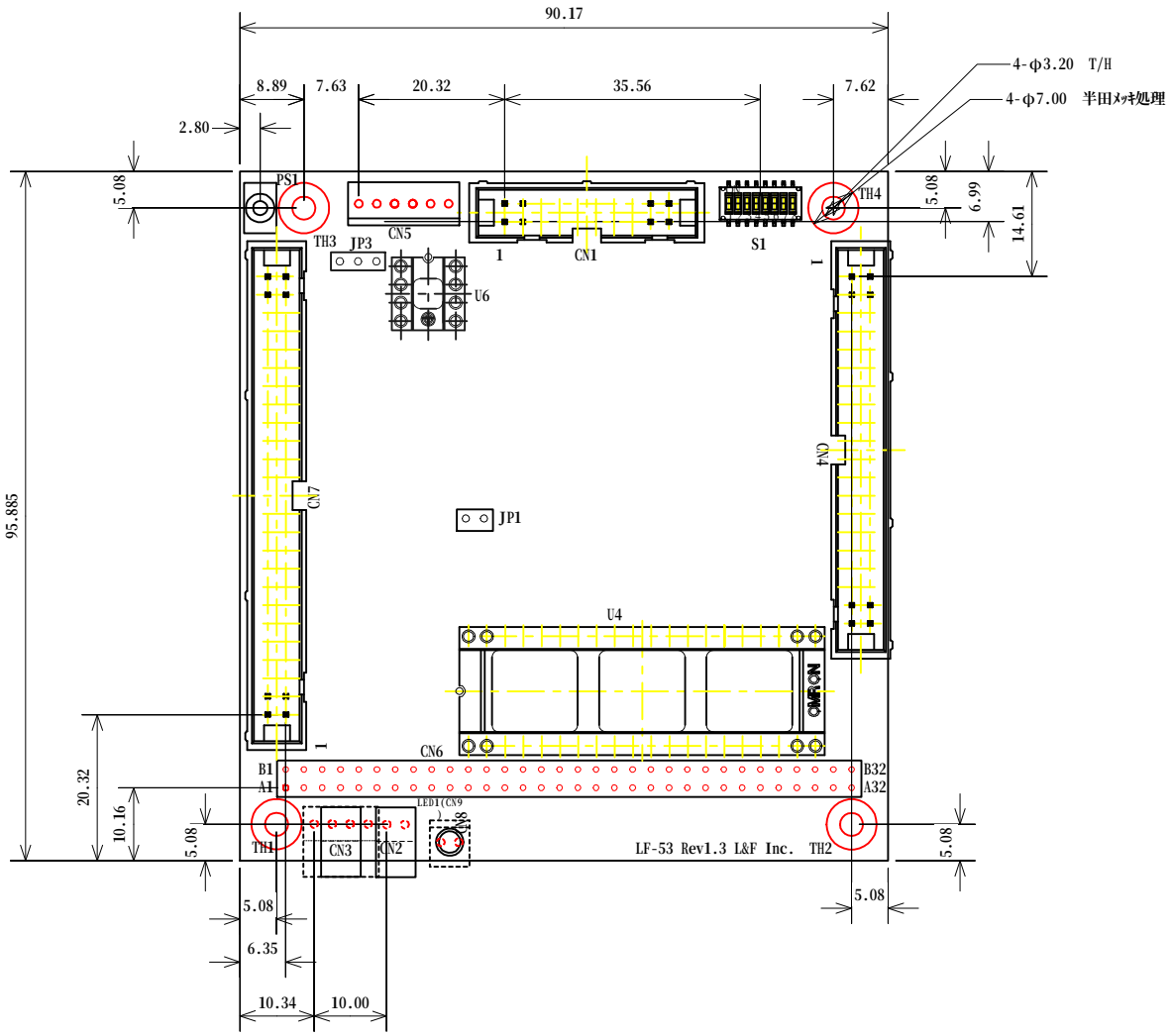
LF53 上の CPU は、以下の方法によりオンボードでのプログラム書換が可能です。

① **本装置の電源が OFF 状態で、LF53 上 S1 をブートプログラムモードに設定し、お手持ちの CPU 書込みソフトウェアがインストールされている PC の RS232C ポートと LF53 の CN5 を図 10-1 のケーブルで接続します。**
② **PC 及び LF53 の電源を ON にします。**
③ **CPU 書込みソフトウェアの書込み手順に従いプログラムを書込みます。**
④ **プログラムのロード終了を確認後、LF53 の電源を OFF にし、PC との接続ケーブルを外します。**
⑤ **LF53 上 S1 を内蔵 ROM 有効通常動作モード（MCU Mode6）に設定します。**
⑥ **LF53 の電源を投入し、動作を確認します。**

図１０－１　LF53<->PC 接続ケーブル結線図



11. LF53基板外形


90.17
8.89
7.63
20.32
35.56
7.62
2.80
4-φ3.20 T/H
4-φ7.00 半田メッキ処理
5.08
6.99
14.61
95.885
20.32
10.16
PS1
TH3
JP3
CN5
CN1
S1
TH4
U6
CN7
JP1
U4
CN4
CN6
B1
A1
B32
A32
LED1(CN9
CN3
CN2
TH1
TH2
LF-53 Rev1.3 L&F Inc.
5.08
6.35
10.34
10.00

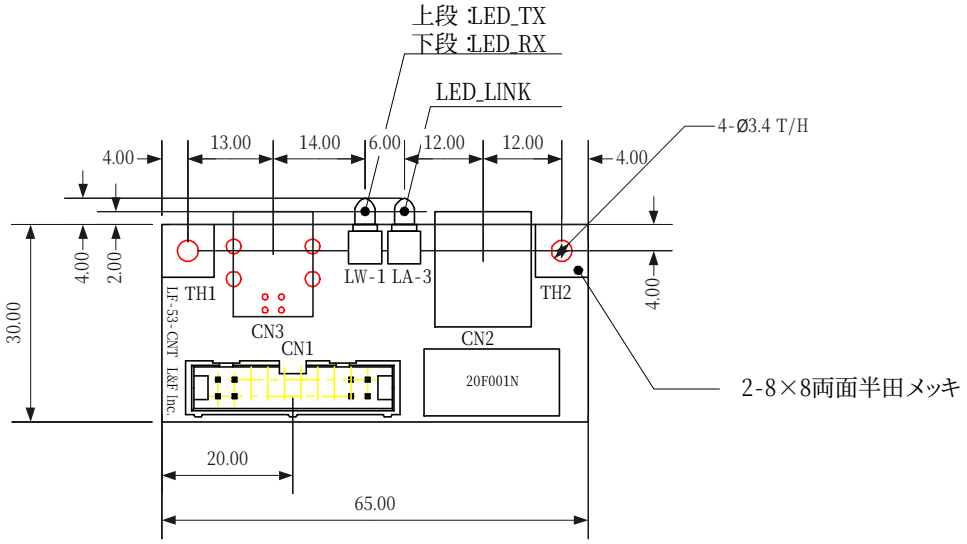
12. Ethernet･USBコネクタボード

LF53 で Ethernet または USB インターフェースをご使用になる場合、本ボードが必要となります。本ボードには、LF53 とのインターフェースコネクタ・RJ-45 コネクタ・USB コネクタ・10Base-T 用のパルストランス・LAN ステータス表示 LED が実装されています。

１２－1)外形

本ボードの外形図を図１２－１に示します。

図１２－１　コネクタボード外形図



１２－2)コネクタピンアサイン

表１２－１に CN2（10Base-T コネクタ）、表１２－２に CN3（USB コネクタ）の機能／ピンアサインを示します。

表１２－１　１０Ｂａｓｅ－Ｔコネクタ

使用コネクタ：TM11R-5L-88 または同等品（ヒロセ等）

端子番号	信　号　名	入出力	機　　能
1	TPTX+	出力	Ethernet 送信＋
2	TPTX-	出力	Ethernet 送信－
3	TPRX+	入力	Ethernet 受信＋
4	NC	－	未接続
5	NC	－	未接続
6	TPRX-	入力	Ethernet 受信－
8	NC	－	未接続
9	NC	－	未接続

表１２－２　ＵＳＢコネクタ

使用コネクタ：DUSB-BRA42-T11 または同等品（ＤＤＫ等）

端子番号	信　号　名	入出力	機　　能
1	NC	－	未接続
2	D-	入出力	USB 送受信－
3	D+	入出力	USB 送受信－
4	GND	－	ｼｸﾞﾅﾙ GND

13. 使用時の留意点

LF53 をご使用の際は、下記事項にご留意下さい。

13－1) PC／104 BUSへのアクセス

LF53 の PC/104 BUS は、物理的形状・ピンアサイン（一部を除く）は規格に準拠しておりますが、BUS タイミングに関しては H8S/2643 CPU の信号線が接続（一部加工されている）されているため、PC/104 BUS タイミングには準拠しておりません、PC/104 BUS にスレーブボードを接続する場合には、H8S/2643 CPU のバスステートコントローラ（BSC）等により BUS タイミングを調整する必要がある場合があります。
（弊社で取扱のあるボードに限り設定データをご提供できます）

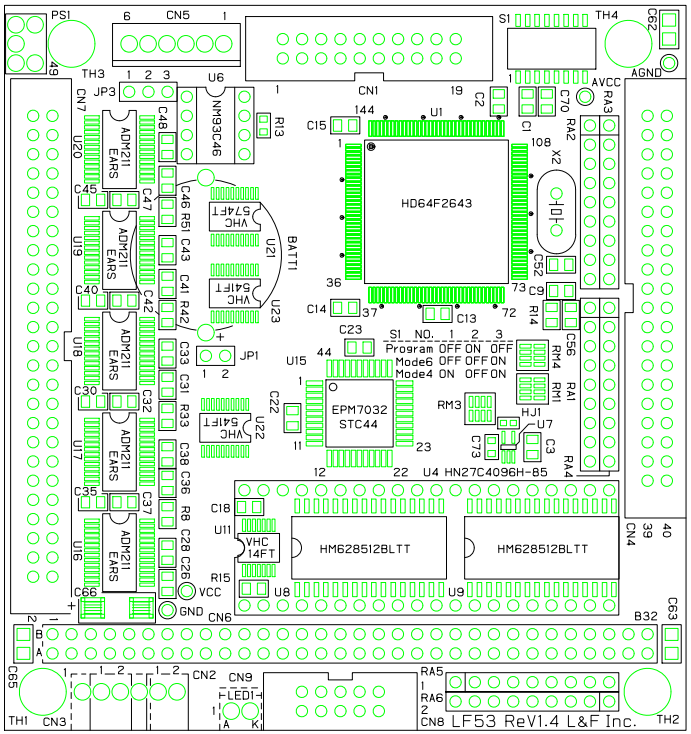
また、H8S/2643 CPU のバイトデータの並びはインテル系とは逆になっている為、スレーブボードに対し 16bit 以上でアクセスする場合注意が必要です。
（short a = 0x1234 の場合、メモリ上でインテル系は 34 12 ですがルネサステクノロジー系は 12 34 となります）

13－2) EPROM使用時の注意事項

EPROM をご使用の場合、EPROM にプログラムもしくはデータを ROM ライタ書き込む時にはビッグエンディアンモードで書き込むか、リトルエンディアンで書き込む場合には上位バイトと下位バイトをスワップさせる必要があります。

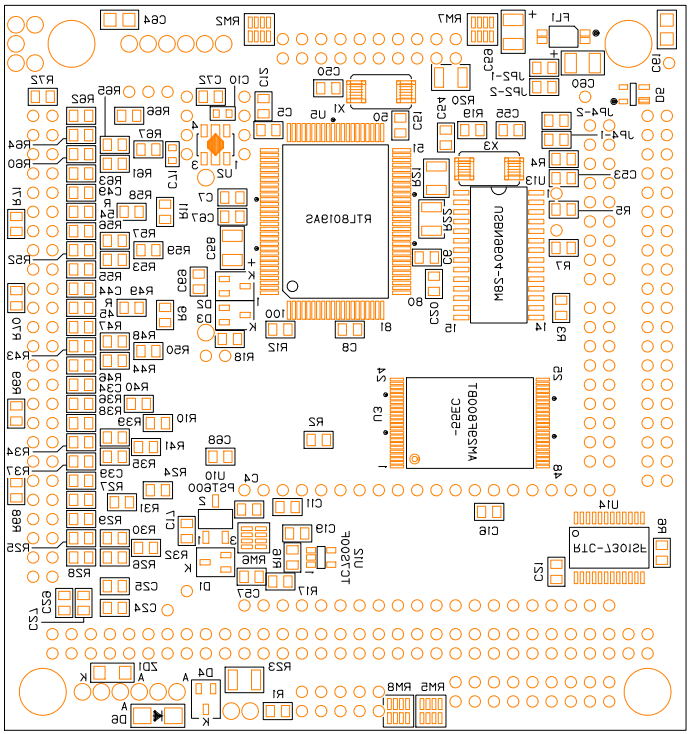
13－3) CPLDについて

LF53 に実装されている CPLD の JTAG 端子はボード上の CN8 に接続されており、アルテラ社のコンパイラ及びバイトブラスタを使用して CPLD にデータを書き込むことは可能ですが、お客様での CPLD 書き換えは LF53 及び PC/104 BUS に接続されるスレーブボードの故障の原因となりますので、行わないで下さい。



LF53 ReV1.4	
部品面 SIDE	S=1/1

H17年9月5日



LF53 ReV1.4	
半田面 Solder	S=1/1

H17年9月5日